

FG 88

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-139227

(43)Date of publication of application : 18.08.1983

(51)Int.Cl.

G06F 1/04

G06F 11/00

H03L 7/00

(21)Application number : 57-021668

(71)Applicant : FUJITSU LTD

(22)Date of filing : 13.02.1982

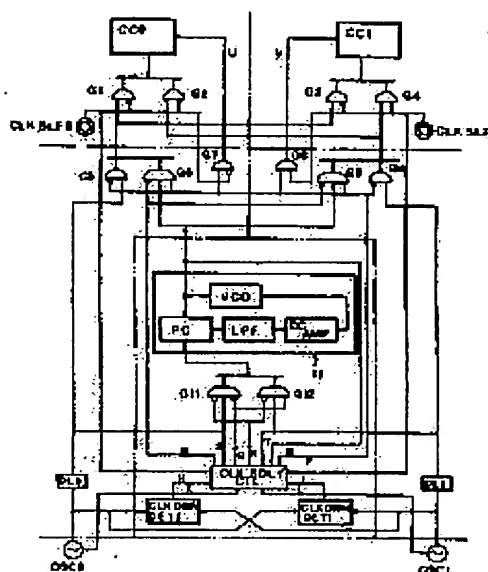
(72)Inventor : KITAGAWA KIYOSHI

(54) SWITCHING SYSTEM OF CLOCK SUPPLYING CIRCUIT

(57)Abstract:

PURPOSE: To make a central controller continue min. logical operation and to omit processing at the generation of a fault by temporally supplying clocks from a PLL circuit at the switching of a clock source.

CONSTITUTION: At the detection of clock oscillation stop, a clock oscillation stop detecting circuit CLK DWN DE TO informs clock down to a clock supply control controlling circuit CLK SPLY CTL by an oscillation stop detecting signal H.J. Detecting that a clock oscillator OSCO which has been used for reference is in trouble, the circuit CLK SPLY CTL inhibits clock reference operation for the PLL circuit 11 by a clock reference inhibiting signal R and switches the clock source to the PLL circuit 11 side by a clock switching signal P. Consequently the clock supply is switched from the clock oscillator OSCO to the PLL11.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭58-139227

⑮ Int. Cl.³
G 06 F 1/04
11/00
H 03 L 7/00

識別記号

庁内整理番号
7056-5B
7368-5B
6964-5J

⑯ 公開 昭和58年(1983)8月18日

発明の数 1
審査請求 未請求

(全 7 頁)

⑰ クロック供給回路の切替方式

⑱ 特 願 昭57-21668
⑲ 出 願 昭57(1982)2月13日
⑳ 発 明 者 喜多川澄

川崎市中原区上小田中1015番地
富士通株式会社内
⑱ 出 願 人 富士通株式会社
川崎市中原区上小田中1015番地
⑲ 代 理 人 弁理士 玉島久五郎 外3名

明 細 書

1 発明の名称 クロック供給回路の切替方式

2 特許請求の範囲

3 系統のクロック源を具えいずれか一方のクロック源を正常系としてクロック供給に用い他方のクロック源を予備系とするクロック供給回路において、位相同期ループ回路からなる第3のクロック源を具え、該第3のクロック源を正常系のクロック源に同期させておき、正常系のクロック源から予備系のクロック系に切り替える際一旦第3のクロック源に切り替えた後予備系のクロック源を第3のクロック源に同期させてから予備系のクロック源に切り替えることを特徴とするクロック供給回路の切替方式。

3 発明の詳細な説明

(A) 発明の技術分野

本発明は、2系統の中央制御装置に対して2系統のクロック源からクロックを供給する際における、クロック供給回路の切替方式に関するもので

ある。

(B) 従来技術と問題点

一般に2系統の中央制御装置からなるシステムにおいて、2系統のクロック源からクロックを供給する場合、各中央制御装置に供給されるクロックの停止は、各中央制御装置における論理の流れを監視する緊急制御回路の起動を引き起こすことを利用して、緊急制御回路の起動によつて正常系のクロック源に切り替えるようにしている。そして従来は、2系統からなるクロック源にそれぞれクロック使用中を表示するクロックセルフフリップフロップを具え、緊急制御回路の起動によつてクロックセルフフリップフロップを設定してクロック源を切り替える方法が用いられていた。

第1図は従来のクロック供給回路の切替方式を示すものである。同図において1は0系のクロック供給回路を示し、CC0は0系の中央制御装置、CLK SLF0は0系のクロックセルフフリップフロップ、G1、G2はゲートである。2は1系のクロック供給回路を示し、CC1は1系の中央制御装置、

CLK SLF1 は1系のクロックセルフフリップフロップ、G3, G4はゲートである。また OSC0, OSC1はそれぞれ0系、1系のクロック源である。

第1図において、クロックセルフフリップフロップ CLK SLF0, CLK SLF1 は、0系が正常系のときはともに“0”に、1系が正常系のときはともに“1”にセットされる。これによつて0系が正常系のときは0系のクロック源 OSC0 のクロックがゲート G1, G3 を経てそれぞれ中央制御装置 CC0, CC1 に供給され、1系が正常系のときは1系のクロック源 OSC1 のクロックがゲート G2, G4 を経てそれぞれ中央制御装置 CC0, CC1 に供給される。

このように従来のクロック供給回路においては、クロックセルフフリップフロップ CLK SLF0, CLK SLF1 の設定によつてクロック源の切り替えを行うことができる。しかしながら従来のクロック供給回路の場合、両クロック源 OSC0, OSC1 は一般に位相的に一致せず、従つてクロック源を切り替えた場合、中央制御装置は論理動作を続行することができず、結局、障害発生時と同様の処理が必

要であつた。

(C) 発明の目的

本発明は、このような従来技術の問題点を解決しようとするものであつて、その目的は、2系統からなる制御回路に対して1系統のクロック源からクロック供給を行うシステムにおいて、両系のクロック源に共通に位相同期ループ回路（以下PLL回路と略す）を具え、クロック源の切り替えを行う際、一時的にPLL回路からクロックを供給するようにすることによつて、中央制御装置が最少限の論理動作を続行することができ、従つて障害発生時の処理を行う必要がないような切替方式を提供することにある。

(D) 発明の実施例

以下、実施例について本発明を詳細に説明する。なお以下の実施例においては、1系統の中央制御装置を具えた電子交換機におけるクロック供給回路の切替方式について述べるものとする。この場合、正常時のクロックは交換動作系（ACT系）から供給されるものとし、このためクロック供給系を

表示するクロックセルフフリップフロップを置くものとする。このような手法は従来、電子交換機において既に採用されているものである。

本発明においては、系単位にあるクロック発生源と位相を一致させるために、両系に共通的にPLL回路を設ける。第2図はPLL回路の構成例を示したものである。同図においてVC0は電圧制御発振器であつて、直流制御電圧により制御される周波数のクロックを発生する。PCは位相比較器であつて電圧制御発振器VC0の発振出力と図示されないクロック発振器の発振出力との位相を比較して、位相差に応じた電圧を出力する。LPFは低域滤波器であつて、位相比較器PCの出力から高周波成分やノイズを除去して直流分の出力を生じる。DC AMPは直流増幅器であつて、低域滤波器LPFの出力を増幅して制御電圧として電圧制御発振器VC0に供給する。

第2図に示されたPLL回路は、このように電圧制御発振器VC0の発振出力とクロック発振器の発振出力との位相差に応じた電圧によつて電圧制御

発振器VC0に帰還を行うことによつて、電圧制御発振器VC0の発振周波数と位相をクロック発振器の発振周波数とその位相に同期するように動作する。しかしながらクロック発振器からの入力がないときは、PLL回路自体によつて定まる周波数で発振する。

第3図は本発明のクロック供給回路の切替方式の一実施例の構成を示している。同図において、中央制御装置CC0, CC1、クロックセルフフリップフロップCLK SLF0, CLK SLF1、ゲートG1, G2, G3, G4、クロック発振器OSC0, OSC1は第1図にかけると同様であり、また11で示されているPLL回路の構成は第2図にかけると同様である。CLK DWN DET0, CLK DWN DET1はそれぞれ0系、1系のクロック発振停止検出回路である。CLK SPLY CTLはクロック供給制御回路であつて、マイクロプロセッサによつて構成され、各クロック発振停止検出回路からのクロック発振停止検出信号によつてクロック発振停止を知つて、現用クロック発振器の出力からPLL回路の出力に切り替え

てクロックを供給するように制御し、またPLL回路の発振周波数と位相を正常系のクロック発振器のクロックに一致させるように制御するとともに、PLL回路の動作状態をチェックして、PLL回路が障害のときはクロック切り替えを行わないようにする。なおPLL回路が障害の場合は図示されない緊急制御回路の動作によつて、従来方式と同様にクロック切り替えが行われる。またDL0, DL1は、それぞれクロック発振器OSC0, OSC1の出力に挿入された遅延線であつて、クロック発振停止時クロック源をPLL回路11に切り替えるまでの間、クロックを遅延させるために設けられている。

また第3図において、H, Jはそれぞれ0系および1系のクロック発振停止検出信号であつて、それぞれ0系および1系のクロック発振停止検出回路CLK DWN DET0, CLK DWN DET1から出力される。K, Lはクロック停止時正常系のクロックとPLL回路11の発振出力とを同期させるための発振器制御信号であつて、クロック供給制御回路CLK SPLY CTLからそれぞれクロック発振器OSC0, OSC1

に対して出力される。Pはクロック切替信号であつて、クロック供給制御回路CLK SPLY CTLからゲートG8~G10に供給されて、クロック発振器OSC0, OSC1の出力とPLL回路11の出力とを切り替えるように各ゲートを制御する。MはPLL回路11の発振状態をチェックするためのデータ信号であつて、PLL回路11からクロック供給制御回路CLK SPLY CTLに供給される。NはPLL回路11が障害を生じたときクロック供給制御回路CLK SPLY CTLからゲートG8, G9に供給されるPLL使用禁止信号、Rはクロック発振回路からPLL回路にクロックの切り替えを行うとき、PLL回路11において正常系のクロック発振信号を参照することを禁止するためのクロック参照禁止信号であつて、クロック供給制御回路CLK SPLY CTLからゲートG11, G12に供給される。QはクロックをPLL回路の側に切り替えた後にPLL回路11が正常系のクロック発振回路のクロックを選択するためのクロック選択信号であつて、クロック供給制御回路CLK SPLY CTLからゲートG11, G12に供給される。S,

Tは正常系のクロックを参照するための正常系クロック参照信号であつて、それぞれクロック発振器OSC0, OSC1からクロック供給制御回路CLK SPLY CTLに入力される。U, Vはそれぞれ中央制御装置CC0, CC1の動作範囲を指定するための動作範囲指定信号である。

以下、第3図の実施例における本発明の方式の動作を説明する。なお、以下の説明においては説明を簡単にするため、クロック波形は対称矩形波であるとする。実際に使用する場合は、波形整形回路を挿入することによつて、所望のパルス幅のクロックを得られることは言うまでもない。今、中央制御装置CC0が動作状態にあつて、中央制御装置CC1は待機状態にあるものとする。また現用のクロックはクロック発振器OSC0から供給されているものとする。

まず正常時においては次のような動作が行われる。すなわち現用のクロックはクロックセルフフリップフロップCLK SLF0によつて表示されており、クロック供給制御回路CLK SPLY CTLはクロ

ックセルフフリップフロップCLK SLF0を参照してクロック選択信号Qを"0"にセットし、これによつてPLL回路11をクロック発振器OSC0に同期させる。またこのときクロック参照禁止信号Rはリセットされている。以上の動作が行われることによつて、PLL回路11は現用クロックと同一周波数で同一位相の信号を発振している。

次にクロックに障害を生じたときは、次のような動作が行われる。第4図はクロック障害時における第3図の実施例の方式の動作を示している。同図において、(1)はクロック発振器OSC0の発振出力波形、(2)はPLL回路11の発振出力波形、(3)はクロック発振器OSC1の発振出力波形である。また第4図においてAはクロック断の発生時点を示し、Bはクロック発振器OSC0からPLL回路11にクロックの切り替えが行われる時点、CはPLL回路11からクロック発振器OSC1にクロックの切り替えが行われる時点を示している。また第4図(1)において破線は、クロック発振器OSC0が正常時存在すべき波形を示している。

まず、クロック発振停止検出回路 CLK DWN DET0 はクロック発振停止を検出したとき、クロック供給制御回路 CLK SPLY CTLに発振停止検出信号 H, J によつて通知する。クロック供給制御回路 CLK SPLY CTLは、それまで参照していたクロック発振器 OSC0 が障害であることを知り、クロック参照禁止信号 R を "1" にして PLL 回路 11 におけるクロックの参照動作を禁止するとともに、クロック切替信号 P を "1" にしてクロックを PLL 回路 11 の側へ切り替える。以上の動作によつて、クロックは障害になつたクロック発振器 OSC0 から PLL 回路 11 に置換される。第 4 図 (1), (2) において、それぞれ A, B はこの状態を示している。

クロックが PLL 回路の出力に切り替えられたとき、中央制御装置 CC0 は動作範囲指定信号 U に応じて、現在行っている処理の範囲をシステム動作上必要最小限の範囲にとどめる。これはクロック発振器 OSC0, OSC1 は水晶発振器を用いていて周波数精度が十分良いが、PLL 回路 11 は C, R による発振器を用いているため周波数精度が十分良好で

なく、従つて中央制御装置 CC0 の各部の動作において微妙なタイミングを必要とする部分では、誤動作を生じるおそれがあるためである。そのため中央制御装置 CC0, CC1 は、1 クロックで動作可能な部分に動作を限定し、かつそのような部分のみによつて最小限のシステム動作が可能であるように、ハードウェア、ソフトウェアとも構成されているものとする。

すなわち、クロックを PLL 回路 11 に切り替えるとき、クロック供給制御回路 CLK SPLY CTL が中央制御装置 CC0 に対し動作範囲指定信号 U を送出すると、中央制御装置 CC0 はメインプログラムによる処理を中止して、クロックが PLL 回路 11 から与えられる場合の専用処理プログラムに移行する。クロック切替処理プログラムはマイクロプログラムで構成され、図示されない読み出し専用メモリ (ROM) に記憶されていて、このマイクロプログラムは 1 クロックで 1 動作を完了するように構成されている。この処理プログラムは、クロックの切り替えおよびシステム動作上の必要最小限の範囲

について動作するものとする。以下、クロック切り替え完了まで上記の動作は保持される。

次に、クロックを PLL 回路から本来の正常系のクロック発振器に置換する場合の動作は、次のようにして行われる。前述のように PLL 回路によるクロックは精度が良好でないため、クロックを障害系のクロック発振器から PLL 回路に置換する動作が完了したのち、さらに正常系のクロック発振器に置換する必要がある。

まず中央制御装置 CC0 は PLL 回路 11 のクロックで動作中に、プログラムによつて現用のクロックセルフフリックフロップを CLK SLF0 から CLK SLF1 に切り替える。この時点で中央制御装置 CC0 のクロックは、CC1 系のクロック供給回路經由で PLL 回路 11 によつて供給される。次に中央制御装置が切り替えられて、CC1 が正常系 (ACT 系) になつてシステム動作を行なうようになる。クロック供給制御回路 CLK SPLY CTL は、現用のクロックセルフフリックフロップが CLK SLF0 から CLK SLF1 に移行した時点で、データ信号 M と正常

系クロック参照信号 T によつて、PLL 回路 11 とクロック発振器 OSC1 との周波数および位相のずれを検出して、ずれがあれば発振器制御信号 L によつてこれらを制御して一致させる。この場合、PLL 回路 11 の周波数は変化させない。次に PLL 回路 11 の発振出力とクロック発振器 OSC1 の発振出力とが位相同期したとき、クロック切替信号 P によつてクロックをクロック発振器 OSC1 に切り替える。第 4 図 (4) において、C はこの状態を示している。以後、中央制御装置 CC1 は以前と同様の正常動作を行う。すなわち動作範囲指定信号 V がリセットされることによつて、中央制御装置 CC1 はメインプログラムによる処理を再開する。

なお、PLL 回路 11 に障害がある場合は、クロック供給制御回路 CLK SPLY CTL はデータ信号 M によつてこれを検出し、PLL 使用禁止信号 N を出力して PLL 回路 11 の出力を使用禁止にする。この場合のクロック発振器 OSC0, OSC1 の発振停止は、前述した図示されない緊急制御回路がこれを検出して、クロックセルフフリックフロップ CLK SLF0,

CLK SLP1 を制御することによつて行われる。

以上の説明はクロック発振器 OSC0 から OSC1 に切り替える場合について行なつたが、クロック発振器 OSC1 から OSC0 に切り替える場合も同様にして行われ、この際中央制御装置 CC1 から CC0 に切り替えが行われることも同様である。

第 5 図は本発明におけるクロック発振器の一構成例を示している。同図において横線で囲まれた、トランジスタ T_{r0} 、抵抗 $R0 \sim R5$ 、コンデンサ $C0 \sim C6$ 、同調コイル T_1 、水晶振動子 X およびバリキャップ D_0 からなる回路は、トランジスタ T_{r0} のコレクタに同調コイル T_1 を接続されるとともにそのエミッタを高周波的に接地され、接地から水晶振動子 X を経てベースに帰還を施されることによつて周知の水晶発振器を構成し、その出力は同調コイル T_1 の 2 次側からコンデンサ $C6$ を介して取り出される。第 5 図の水晶発振回路は、抵抗 R_0 を経て直流電圧 V_0 を与えられることによつてバリキャップ D_0 の容量が変化し、これによつてその周波数を僅かな範囲で変化させることができる。

るので、保守が容易になる。

4 図面の簡単な説明

第 1 図は従来のクロック供給回路の切替方式を示すブロック図、第 2 図は PLL 回路の構成例を示すブロック図、第 3 図は本発明のクロック供給回路の切替方式の一実施例の構成を示すブロック図、第 4 図はクロック降着時における本発明の方式の動作を示すタイムチャート、第 5 図は本発明におけるクロック発振器の構成例を示す回路図である。

1 … 0 系クロック供給回路、2 … 1 系クロック供給回路、11 … PLL 回路、CC0 … 0 系の中央制御装置、CC1 … 1 系の中央制御装置、CLK SLP0 … 0 系のクロックセルフフリップフロップ、CLK SLP1 … 1 系のクロックセルフフリップフロップ、G1, G2, G3, G4 … ゲート、VC0 … 電圧制御発振器、PC … 位相比較器、LPF … 低域濾波器、DC AMP … 直流増幅器、CLK DWN DET0 … 0 系のクロック発振停止検出回路、CLK DWN DET1 … 1 系のクロック発振停止検出回路、CLK SPLY CTL … クロック供給制御回路、DL0 … 0 系の遅延線、DL1 … 1

また T_{r1} はトランジスタ、IC0, IC2, IC4 はゲート、IC3 は J-K フリップフロップであつて、ゲート IC0 にローレベルの入力を与えたとき水晶発振器の信号はトランジスタ T_{r1} 、ゲート IC2、フリップフロップ IC3、ゲート IC4 を経て波形整形されて出力され、ゲート IC0 にハイレベルの入力を与えたときは水晶発振器の信号は遮断される。水晶発振器の周波数調整のための直流電圧 V_0 と、発振スタートおよび停止のためのゲート IC0 の入力とは、前述のように発振器制御信号 K, L としてクロック供給制御回路 CLK SPLY CTL からそれぞれクロック発振器 OSC0, OSC1 に与えられる。

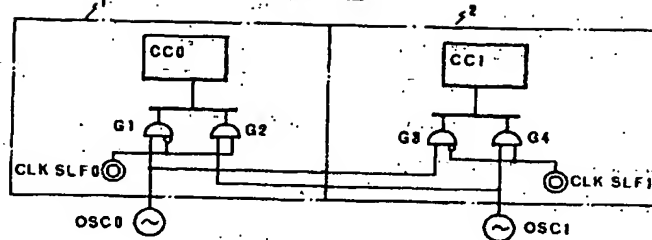
(E) 発明の効果

以上説明したように本発明のクロック供給回路の切替方式によれば、2 系統のクロック源からクロック供給を行うシステムにおいて、中央制御装置の故障を直すことなくクロック源の切り替えを行うことができる。またクロックの切り替えに際して、中央制御装置の外部装置である緊急制御回路を起動することなく切り替えを行うことができ

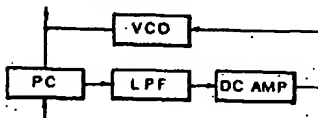
系の遅延線、G5 ~ G12 … ゲート、 T_{r0} , T_{r1} … トランジスタ、 T_1 … 同調コイル、 X … 水晶振動子、 $R0 \sim R5$ … 抵抗、 $C0 \sim C6$ … コンデンサ、 D_0 … バリキャップ、IC0, IC2, IC4 … ゲート、IC3 … J-K フリップフロップ。

特許出願人 富士通株式会社
代理人 弁理士 玉 島 久 五 郎 (外 3 名)

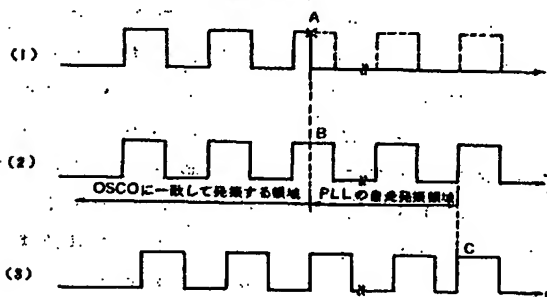
第 1 図



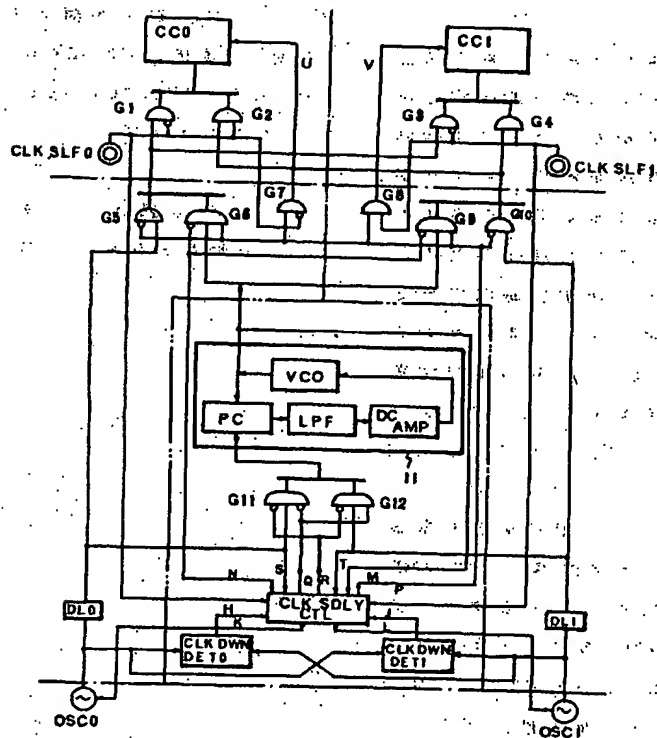
第 2 図



第 4 図



第 3 図



第 5 図

